



Eur päisches
Patentamt

European
Patent Office

Office européen
des brevets

II

Bescheinigung Certificate Attestation

09/1784424
02/15/01
1918 U.S. PTO

Die angehefteten Unterlagen stimmen mit der ursprünglich eingereichten Fassung der auf dem nächsten Blatt bezeichneten europäischen Patentanmeldung überein.

The attached documents are exact copies of the European patent application described on the following page, as originally filed.

Les documents fixés à cette attestation sont conformes à la version initialement déposée de la demande de brevet européen spécifiée à la page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

00201028.8

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

I.L.C. HATTEN-HECKMAN

DEN HAAG, DEN
THE HAGUE,
LA HAYE, LE
19/12/00

THIS PAGE BLANK (USPTO)

BEST AVAILABLE COPIES



Europäisches
Patentamt

European
Patent Office

Office européen
des brevets

Blatt 2 der Bescheinigung
Sheet 2 of the certificate
Page 2 de l'attestation

Anmeldung Nr.:
Application no.: **00201028.8**
Demande n°:

Anmeldetag:
Date of filing: **21/03/00**
Date de dépôt:

Anmelder:
Applicant(s):
Demandeur(s):
Koninklijke Philips Electronics N.V.
5621 BA Eindhoven
NETHERLANDS

Bezeichnung der Erfindung:
Title of the invention:
Titre de l'invention:
NO TITLE

In Anspruch genommene Priorität(en) / Priority(ies) claimed / Priorité(s) revendiquée(s)

Staat: State: Pays:	Tag: Date: Date:	Aktenzeichen: File no. Numéro de dépôt:
---------------------------	------------------------	---

Internationale Patentklassifikation:
International Patent classification:
Classification internationale des brevets:

/

Am Anmeldetag benannte Vertragstaaten:
Contracting states designated at date of filing: AT/BE/CH/CY/DE/DK/ES/FI/FR/GB/GR/IE/IT/LI/LU/MC/NL/PT/SE/TR
Etats contractants désignés lors du dépôt:

Bemerkungen:
Remarks:
Remarques:

See for original title of the application
page 1 of the description

THIS PAGE BLANK (USPTO)

BEST AVAILABLE

Halfgeleiderinrichting met een geïntegreerde CMOS-schakeling met MOS-transistors met silicium-germanium ($Si_{1-x}Ge_x$) gate-elektronen en werkwijze voor het vervaardigen daarvan.

EPO - DG 1

21.03.2000

(55)

De uitvinding heeft betrekking op een halfgeleiderinrichting met een geïntegreerde CMOS-schakeling met NMOS- en PMOS-transistors met halfgeleiderzones die zijn gevormd in een siliciumsubstraat en die grenzen aan een oppervlak daarvan, welk oppervlak ter plaatse van de halfgeleiderzones die gate-zones van deze transistors vormen is
 5 voorzien van een laag gate-oxide waarop gate-elektronen zijn gevormd, waarbij de gate-elektronen van de PMOS-transistors zijn gevormd in een laag p-type gedoteerd polykristallijn silicium en een tussen deze laag en het gate-oxide liggende laag p-type gedoteerd polykristallijn silicium-germanium ($Si_{1-x}Ge_x$; $0 < x < 1$).

De laag silicium-germanium ($Si_{1-x}Ge_x$) kan op gebruikelijke wijze met behulp
 10 van een CVD (Chemical Vapour Deposition) proces uit een gasmengsel met silaan (SiH_4), germaan (GeH_4) en stikstof worden gedeponeerd. De fractie x wordt hierbij bepaald door de onderlinge verhouding van de hoeveelheden van silaan en germaan in het gasmengsel. Er kunnen in de praktijk op gate-oxide lagen worden gedeponeerd waarbij de fractie x kan liggen tussen 0 en 1.

15

Uit EP-A-614226 is een halfgeleiderinrichting van de in de aanhef genoemde soort bekend, waarbij behalve de gate-elektronen van de PMOS-transistors ook die van de NMOS-transistors zijn gevormd in een laag polykristallijn silicium en een tussen deze laag en het gate-oxide liggende laag polykristallijn silicium-germanium ($Si_{1-x}Ge_x$). De gate-elektronen omvatten verder nog een op de laag polykristallijn silicium aangebrachte toplaag
 20 van een metaalsilicide. De gate-elektronen van de PMOS-transistors zijn p-type gedoteerd, die van de NMOS-transistors n-type.

NMOS- en PMOS transistors voor toepassing in geïntegreerde CMOS-schakelingen worden in de praktijk zo ontworpen dat zij een, in absolute waarde gezien,
 25 gelijke drempelspanning V_t hebben; voor transistors van de "0,18 μm generatie" heeft de drempelspanning bijvoorbeeld een gewenste waarde van 0,3 Volt. Wordt een p-type gedoteerde gate-elektronen van polykristallijn silicium bij een PMOS-transistor vervangen door een p-type gedoteerde gate-elektronen van polykristallijn silicium-germanium, dan zal de

drempelspanning van de transistor hoger worden. Om toch een transistor met de gewenste, lagere drempelspanning te verkrijgen kan de dotering van gate-zone van de transistor verlaagd worden. Bij een "0,18 μ m generatie" PMOS-transistor met een drempelspanning van 0,3 Volt kan bijvoorbeeld, door een toevoeging van 30 at% germanium, de dotering met een oppervlakteconcentratie van $5 \cdot 10^{17}$ worden teruggebracht tot een dotering met een oppervlakteconcentratie van $3 \cdot 10^{17}$. Een dergelijke, lagere dotering van de gate-zone heeft voordelen. De transistor vertoont een hogere I_{on} , een lagere I_{off} , een daarmee een hogere verhouding I_{on}/I_{off} . Ook blijkt dan de invloed van de substraatspanning op de drempelspanning V_t geringer. Deze voordelen zijn groter naarmate de hoeveelheid germanium in de laag silicium-germanium groter en daarmee de dotering van de gate-zone lager is. Voor NMOS-transistors geldt dit niet. In het bijzonder als de hoeveelheid germanium in de laag silicium-germanium meer dan 30 at% bedraagt, vertonen NMOS transistors met n-type gedoteerde silicium-germanium gate-elektrodes juist slechtere eigenschappen dan NMOS-transistors met n-type gedoteerde silicium gate-elektrodes zonder germanium. Omdat de eigenschappen van PMOS-transistors vooral beter worden als meer dan 30 at% germanium aan de gate-elektrode wordt toegevoegd lijkt toevoeging in gate-elektrodes van complementaire P- en NMOS-transistors zoals in de bekende beschreven halfgeleiderinrichting niet erg zinvol.

Met de uitvinding wordt onder meer beoogd een oplossing te geven voor het genoemde probleem, waardoor het wel zinvol wordt om gate-elektrodes met een aan het gate-oxide grenzende laag van polykristallijn silicium-germanium toe te passen in een geïntegreerde CMOS-schakeling. De in de aanhef genoemde halfgeleiderinrichting heeft daartoe als kenmerk, dat de gate-elektrodes van de NMOS-transistors zijn gevormd in een laag n-type gedoteerd polykristallijn silicium zonder germanium.

Toepassing van p-type gedoteerde gate-elektrodes die zijn gevormd in een laag polykristallijn silicium en een tussen deze laag en het gate-oxide liggende laag gedoteerd polykristallijn silicium-germanium ($Si_{1-x}Ge_x$) in PMOS-transistors heeft de hiervoor genoemde voordelen. Toepassing van n-type silicium-germanium gate-elektrodes in NMOS-transistors heeft alleen nadelen. Aan silicium-germanium gate-elektrodes toegevoegde n-type doteringsstoffen zoals arseen en fosfor kunnen slecht geactiveerd worden en worden bij verhitting tijdens later in het fabricageproces uit te voeren behandelingen bij hogere temperatuur gemakkelijk weer gedeactiveerd. Deze niet geactiveerde atomen van de doteringsstof zorgen voor een ongewenst sterke depletie van de gate-zone.

Door de maatregel volgens de uitvinding kunnen geïntegreerde schakelingen met complementaire N- en PMOS-transistors worden gevormd met betere eigenschappen dan geïntegreerde schakelingen met complementaire N- en PMOS-transistors die alle zijn voorzien van een silicium-germanium gate-elektrode, maar ook dan geïntegreerde

5 schakelingen met complementaire N- en PMOS-transistors die alle zijn voorzien van met een silicium gate-elektrode zonder germanium. De voordelen van de toepassing van silicium-germanium gate-elektrodes bij PMOS-transistors wordt benut, de nadelen bij toepassing van dergelijke gate-elektrodes bij NMOS-transistors vermeden.

Genoemde voordelen zijn het grootst, als de laag van p-type gedoteerd
10 polykristallijn silicium-germaan ($Si_{1-x}Ge_x$) meer dan 30 at% germanium bevat ($x>0,3$). Worden dergelijke lagen gedeponeerd op een minder dan 5nm dikke laag amorf silicium dan worden lagen gevormd met een geringe oppervlakteruwheid, terwijl de hiervoor beschreven werking van de transistors niet wordt beïnvloed.

Een voorkeursuitvoering van de halfgeleiderinrichting omvat naast genoemde
15 PMOS-transistors tevens, overigens gelijke, PMOS-transistors met gate-elektrodes die zijn gevormd in een op het gate-oxide liggende laag p-type gedoteerd polykristallijn silicium zonder germanium. Deze PMOS-transistors, die een gate-zone met een zelfde datering hebben als de PMOS-transistors het de silicium-germanium gate-elektrode, vertonen een lagere drempelspanning. Bij de hiervoor als voorbeeld genoemde gate-zone datering met een
20 oppervlakteconcentratie van $3 \cdot 10^{17}$ atomen per cc, in plaats van -0,3 Volt slechts -0,1 Volt. Deze transistors die zoals zal blijken op eenvoudige wijze aan de geïntegreerde schakeling kunnen worden toegevoegd, zijn bijvoorbeeld geschikter om analoge signalen te versterken dan de transistors met een hogere drempelspanning.

De uitvinding heeft tevens betrekking op een werkwijze voor het vervaardigen
25 van een halfgeleiderinrichting met een geïntegreerde CMOS-schakeling met NMOS- en PMOS-transistors met halfgeleiderzones die worden gevormd in een siliciumsubstraat en die grenzen aan een oppervlak daarvan, welk oppervlak wordt voorzien van een laag gateoxide waarop voor de PMOS-transistors silicium-germanium gate-elektrodes en voor de NMOS-transistors silicium gate-elektrodes zonder germanium worden gevormd. De gate-elektrodes worden bij deze werkwijze gevormd door achtereenvolgens op de laag gate-oxide een laag polykristallijn silicium-germanium te deponeren, op de laag polykristallijn silicium-germanium een fotolakmasker te vormen dat de laag ter plaatse van PMOS-transistors wel en ter plaatse van NMOS-transistors niet bedekt, een etsbehandeling uit te voeren waarbij de laag silicium-germanium ter plaatse van genoemde NMOS-transistors wordt verwijderd van

de laag gate-oxide, het fotolakmasker te verwijderen, op de aldus gevormde structuur een laag polykristallijn silicium te deponeren en ter plaatse van genoemde PMOS-transistors een gate-elektrode in de daar aanwezige laag polykristallijn silicium-germanium en de daarop liggende laag polykristallijn silicium en ter plaatse van genoemde NMOS-transistors een 5 gate-elektrode in de daar aanwezige laag polykristallijn silicium te vormen. De halfgeleiderzones die source en drain van de transistors vormen, worden op gebruikelijke wijze gevormd door implantatie van ionen, waarbij de gevormde gate-elektrodes als masker worden gebruikt. Hierbij worden de gate-elektrodes van de PMOS-transistors vanzelf zwaar p-type en de gate-elektrodes van de NMOS-transistors zwaar n-type gedoteerd.

10 Tijdens de vorming van de actieve gebieden waarin de PMOS-transistors worden gevormd, wordt een fotolakmasker aangebracht dat het oppervlak ter plaatse van NMOS transistors bedekt en ter plaatse van de PMOS-transistors vrijlaat. Tijdens de vorming van de actieve gebieden waarin de NMOS-transistors worden gevormd wordt een fotolakmasker aangebracht dat het oppervlak ter plaatse van de PMOS-transistors bedekt en 15 ter plaatse van de NMOS-transistors vrijlaat. Het tweede fotolakmasker kan tevens worden gebruikt als fotolakmasker dat, in de werkwijze volgens de uitvinding, de laag silicium-germanium ter plaatse van de PMOS-transistors wel en ter plaatse van NMOS-transistors niet bedekt en dat wordt gebruikt om de laag silicium-germanium ter plaatse van genoemde NMOS-transistors te verwijderen van de laag gate-oxide. Deze beide, identieke 20 fotolakmaskers kunnen worden gevormd met behulp van slechts één en hetzelfde fotolithografische masker.

Bij voorkeur wordt op de laag gate-oxide een laag polykristallijn silicium-germaan ($Si_{1-x}Ge_x$) die meer dan 30 at% germanium bevat ($x>0,3$) wordt gedeponeerd. Een laag met een vlak oppervlak wordt daarbij gevormd als voordat de laag silicium-germanium 25 op de laag gate-oxide wordt gedeponeerd hierop eerst een minder dan 5nm dikke laag amorf silicium wordt gevormd.

Op eenvoudige wijze kunnen, naast de PMOS-transistors met silicium-germanium gate-elektrode en NMOS-transistors met silicium gate-elektrode, zonder dat hiervoor extra fotolakmaskers nodig zijn, tevens PMOS-transistors met een silicium gate-elektrode zonder germanium worden gevormd. Ter plaatse van deze PMOS-transistors 30 kunnen dan gate-elektrodes worden gevormd in de laag polykristallijn silicium waarin ook de gate-elektrodes van de NMOS-transistors worden gevormd. De gate-elektrodes worden gevormd met behulp van een fotolakmasker waarmee ook de gate-elektrodes van de NMOS-transistors worden gevormd. De source en drain worden gevormd met behulp van het

fotolakmasker waarmee ook de source en drain van de andere PMOS-transistors worden gevormd. Om dit andere ontwerp te kunnen realiseren is het slechts nodig om de fotolithografische maskers, die nodig zijn voor de vervaardiging van deze fotolakmaskers, aan dit andere ontwerp aan te passen.

5

De uitvinding wordt, bij wijze van voorbeeld, nader toegelicht aan de hand van een tekening. Hierin tonen:

10

Fig.1 tot en met 13 schematisch en in dwarsdoorsnede enkele stadia van vervaardiging van een halfgeleiderinrichting met geïntegreerde CMOS-schakeling volgens de uitvinding en

Fig. 14 en 15 schematisch en in dwarsdoorsnede enkele stadia van vervaardiging van een voorkeursuitvoering van een halfgeleiderinrichting met geïntegreerde CMOS-schakeling volgens de uitvinding.

15

Figuren 1 tot en met 13 tonen schematisch en in dwars doorsnede enkele stadia van vervaardiging van een halfgeleiderinrichting met een geïntegreerde CMOS-schakeling met NMOS- en PMOS-transistors. Voor de duidelijkheid tonen de figuren slechts de vervaardiging van een enkele NMOS- en een enkele PMOS-transistor. Het zal duidelijk zijn dat een geïntegreerde schakeling zeer veel van dergelijke transistors kan bevatten.

20

Uitgegaan wordt van een plak silicium 1 die is voorzien van circa $3\mu\text{m}$ dikke epitaxiaal aangegroeide toplaag 2, die in dit voorbeeld met circa $3 \cdot 10^{15}$ atomen per cc licht p-type is gedoteerd. Op gebruikelijke wijze worden in de toplaag 2 actieve gebieden A en B gevormd die grenzen aan een oppervlak 3 en die onderling door veldoxide-gebieden 4 zijn geïsoleerd. De veldoxide-gebieden 4 zijn hier gevormd door locale oxidatie van silicium, maar kunnen bijvoorbeeld ook gevormd worden door in het oppervlak 3 groeven te etsen en door deze vervolgens te vullen met isolerend materiaal. In de actieve gebieden A worden NMOS-transistors gevormd, in de actieve gebieden B PMOS-transistors.

25

Na de vorming van de veldoxide-gebieden wordt een eerste fotolakmasker 5 aangebracht dat de actieve gebieden A voor de NMOS-transistors bedekt en de actieve gebieden B voor de PMOS-transistors vrijlaat, waarna, met een stippellijn 6 aangeduid, fosforionen worden geïmplanteerd. Daarna wordt het fotolakmasker 5 verwijderd en een tweede fotolakmasker 7 aangebracht dat de actieve gebieden B voor de PMOS-transistors bedekt en de actieve gebieden A voor de NMOS-transistors vrijlaat, waarna, met een stippellijn 8 aangeduid, boriumionen worden geïmplanteerd. Na verwijdering van het

fotolakmasker 7 wordt vervolgens een warmtebehandeling uitgevoerd, waarbij in de actieve gebieden A aan het oppervlak 3 grenzende p-type gedoteerde, "p-well" genoemde, gebieden 9 worden gevormd en in de actieve gebieden B aan het oppervlak 3 grenzende n-type gedoteerde, "n-well" genoemde, gebieden 10. De gebieden 9 en 10 zijn circa 600nm diep en 5 worden alle met circa 2.10^{17} atomen per cc licht gedoteerd is, de doteringen vertonen aan het oppervlak 3 een hogere concentratie van circa 3.10^{17} atomen per cc. Tevens wordt ter plaatse van de actieve gebieden A en B op het oppervlak 3, op gebruikelijke wijze, door thermische oxidatie van silicium, een circa 5nm dikke laag gate-oxide 11 gevormd.

Na de vorming van de p-well 9, de n-well 10 en de laag gate-oxide 11 wordt 10 een circa 2nm dikke laag amorf silicium 12 en een circa 20nm dikke laag polykristallijn silicium-germanium ($Si_{1-x}Ge_x$) 13 gedeponeerd. De laag silicium-germanium 13 wordt gedeponeerd met behulp van een gebruikelijk CVD-proces uit een gasmengsel met silaan (SiH_4), germaan (GeH_4) en met stikstof als dragergas. De fractie germanium in de laag silicium-germanium wordt bepaald door de onderlinge verhouding van silaan en germaan in 15 het gasmengsel. De laag 13 kan tot 100 at% germanium bevatten. In dit voorbeeld wordt een laag gedeponeerd die 30 at% germanium bevat. Het op de laag amorf silicium 12 deponeren van de laag silicium-germanium 13 heeft als voordeel, dat een laag silicium-germanium wordt gevormd met een gladder oppervlak dan wanneer de laag silicium-germanium direct 20 op het gate-oxide 11 wordt gedeponeerd, voor de uitvinding is de laag amorf silicium 12 echter niet wezenlijk.

Vervolgens wordt het tweede fotolakmasker 7, dat de actieve gebieden A voor 25 de NMOS-transistors vrij laat en de actieve gebieden B voor de PMOS-transistors bedekt, weer aangebracht. In een etsbad met salpeterzuur en waterstofferfluoride (35 vol% HNO_3 , 20 vol% H_2O en 10 vol% verdunde HF[0,08%HF]) wordt vervolgens de laag silicium-germanium 10 ter plaatse van de actieve gebieden van de laag amorf silicium weggeëetst. Het tweede fotolakmasker 7 werd hiervoor al gebruikt om voor de vorming van de p-well 9. Voor 25 het twee keer vormen van het fotolakmasker 7 wordt een zelfde fotolithografisch masker gebruikt.

Na verwijderen van tweede fotolakmasker 7 wordt vervolgens op 30 gebruikelijke wijze een circa 120nm dikke laag polykristallijn silicium 14 gedeponeerd. Op deze laag polykristallijn silicium 14 wordt een fotolakmasker 15 gevormd waarmee de gate-elektrodes van de transistors worden gedefinieerd. De gate-elektrodes 16 van de NMOS-transistors en de gate-elektrodes 17 van de PMOS transistors worden in de lagen geëetst in een gebruikelijk etsplasma. De gate-elektrodes 17 van de PMOS-transistors in de laag

polykristallijn silicium 14, in de daaronder liggende laag silicium-germanium 13 en in de laag amorf silicium 12, de gate-elektronodes 16 van de NMOS-transistors alleen in de laag polykristallijn silicium 14 en de laag amorf silicium 12. De gate-elektronodes 16 en 17 hebben in dit voorbeeld een breedte van 0,18µm.

5 Vervolgens worden source en drain van de transistors gevormd. Eerst wordt een fotolakmasker aangebracht, dat de gebieden B bedekt en de gebieden A vrijlaat, waarna, zoals in figuur 9 getekend, met stippellijn 18 aangeduid, arseenionen worden geïmplanteerd. Na verwijdering van dit fotolakmasker wordt een fotolakmasker aangebracht dat de gebieden B vrijlaat en de gebieden A bedekt, waarna, zoals ook in figuur 9 getekend, met stippellijn 19
10 aangeduid boriumionen worden geïmplanteerd. Na verwijdering van het fotolakmasker worden de gate-elektronodes 16 en 17 op gebruikelijke wijze voorzien van spacers 20 van siliciumoxide, door een circa 150nm dikke laag siliciumoxide te deponeren en door deze vervolgens te onderwerpen aan een anisotrope etsbehandeling tot de gate-elektronodes 16 en 17 aan hun bovenzijde weer zijn blootgelegd. Vervolgens wordt een niet getekend
15 fotolakmasker, dat de gebieden B bedekt en de gebieden A vrijlaat, aangebracht waarna met stippellijn 21 aangeduid nogmaals arseen ionen worden geïmplanteerd. Na verwijderen van dit fotolakmasker 11 wordt een niet getekend fotolakmasker, dat de gebieden B vrijlaat en de gebieden A bedekt, aangebracht waarna met stippellijn 22 aangeduid nogmaals boriumionen worden geïmplanteerd. Na verwijdering van dit laatste fotolakmasker wordt een
20 warmtebehandeling uitgevoerd waarbij de source- en drainzones 23, 24 van de transistors worden gevormd. De source- en drainzones 23 van de PMOS-transistors zijn p-type gedoteerd met een met circa 10^{21} atomen per cc gedoteerd deel 25 en met een met circa 10^{20} atomen per cc gedoteerd deel 26 dat zich uitstrekkt tot onder de gate-elektrode 17. De source- en drainzones 24 van de NMOS-transistors zijn n-type gedoteerd met een met circa 10^{21}
25 atomen per cc gedoteerd deel 27 en met een met circa 10^{20} atomen per cc gedoteerd deel 28 dat zich uitstrekkt tot onder de gate-elektrode 16. Het tussen de source- en drainzone 23 gelegen deel 29 van de n-well 10 vormt de gate-zone van de PMOS-transistor, het tussen de source- en drainzone 24 gelegen deel 30 van de p-well 9 vormt de gate-zone van de NMOS-transistor. Tijdens de vorming van de source- en drainzones 23 en 24, door ionenimplantatie
30 en warmtebehandeling worden de gate-elektronodes tevens voorzien van een dotering; de gate-elektronodes 17 van de PMOS-transistors van een p-type dotering, de gate-elektronodes 16 van de NMOS-transistors van een n-type dotering. Tenslotte wordt het gate-oxide naast de gate-elektronodes 16 en 17 weggeëetst en worden de gate-elektronodes 16 en 17 en de source- en

drainzones 23 en 24 nog op gebruikelijke wijze, self-aligned, voorzien van een toplaag 31 van titaniumdisilicide ($TiSi_2$).

Aldus is een halfgeleiderinrichting gevormd met NMOS- en PMOS-transistors met halfgeleiderzones 23,24,29,30 die zijn gevormd in een siliciumsubstraat 1 en die grenzen aan een oppervlak 3 daarvan, welk oppervlak 3 ter plaatse van de halfgeleiderzones die gate-zones 29,30 van deze transistors vormen is voorzien van een laag gate-oxide 11 waarop gate-elektronodes 16 en 17 zijn gevormd, waarbij de gate-elektronodes 17 van de PMOS-transistors zijn gevormd in een laag p-type gedoteerd polykristallijn silicium 14 en een tussen deze laag 14 en het gate-oxide 11 liggende laag p-type gedoteerd polykristallijn silicium-germanium ($Si_{1-x}Ge_x$) 13 en waarbij de gate-elektronodes 16 van de NMOS-transistors zijn gevormd in een op het gate-oxide 11 liggende laag n-type gedoteerd polykristallijn silicium 14 zonder germanium.

De in het voorbeeld gevormde PMOS-transistors met silicium-germanium gate-elekrode 17 met 30 at% germanium en een gate-zone met een datering met een oppervlakteconcentratie van 3.10^{17} atomen per cc vertonen eenzelfde drempelspanning van -0,3 Volt, een circa 10% hogere I_{on} en een circa 10% lagere I_{off} dan die van een overigens gelijke PMOS-transistor met een silicium gate-elekrode zonder germanium en een gate-zone met een datering met een oppervlakteconcentratie van 5.10^{17} atomen per cc. De genoemde gunstiger eigenschappen zijn het gevolg van de lichtere datering van de gate-zone van de transistor. Deze kunnen nog beter zijn als meer germanium in de laag silicium-germanium wordt ingebouwd. In deze hoeveelheid bijvoorbeeld 60 at% ($x=0,6$) dan kan om dezelfde V_t van -0,3 Volt te realiseren de datering van de gate-zone worden teruggebracht tot een met een oppervlakteconcentratie van circa 1.10^{17} atomen per cc, waarbij een circa 25% hogere I_{on} en een circa 15% lagere I_{off} worden gerealiseerd vergeleken met genoemde transistor met silicium gate-elekrode zonder germanium. Bij voorkeur wordt daarom een laag van p-type gedoteerd polykristallijn silicium-germaan ($Si_{1-x}Ge_x$) toegepast die meer dan 30 at% germanium bevat ($x>0,3$).

Dergelijke voordelen kunnen bij de NMOS-transistor niet behaald worden bij toepassing van een silicium-germanium gate-elekrode. De n-type dateringsstof in de gate-elektronodes van silicium-germanium kan niet goed geactiveerd worden; deze niet geactiveerde atomen zorgen voor een ongewenst sterke depletie van de gate-zone. Door silicium-germanium gate-elektronodes bij PMOS-transistors wel en bij NMOS-transistors niet toe te passen worden de voordelen van eerstgenoemde benut en de nadelen van laatstgenoemde vermeden.

Figuren 14 en 15 tonen schematisch en in dwarsdoorsnede enkele stadia van vervaardiging van een voorkeursuitvoering van een halfgeleiderinrichting met geïntegreerde CMOS-schakeling. Naast de ter plaatse van de gebieden B gevormde PMOS-transistors met silicium-germanium gate-elekrode 17 en ter plaatse van de gebieden A gevormde NMOS-transistors met silicium gate-elekrode 16, worden zonder dat hiervoor extra fotolakmaskers nodig zijn, tevens PMOS-transistors met een silicium gate-elekrode zonder germanium gevormd. Hiertoe worden naast de actieve gebieden A en B ook actieve gebieden C gevormd. Zoals getoond in figuur 14, worden de gebieden C, net zoals de gebieden B, voorzien van een n-well 10. Op de gebieden C wordt, net als op de gebieden A, de laag silicium-germanium 13 van de laag amorf silicium 12 verwijderd en wordt de laag polykristallijn silicium 14 direct op de laag amorf silicium 12 gedeponeerd. Zoals getoond in figuur 15 worden op de laag gate-oxide 11 in de gebieden C dezelfde gate-elekrodes 16 gevormd als in de gebieden A en worden net zoals in de gebieden B source en drainzones 23 gevormd. De PMOS-transistors die aldus zijn gevormd in de gebieden B en C verschillen alleen in de vorm van de gate-elekrode 16 respectievelijk 17, verder zijn zij identiek. De gate-elekrodes 16 van de PMOS-transistors ter plaatse van de gebieden C worden gevormd met behulp van een fotolakmasker waarmee ook de gate-elekrodes 16 van de NMOS-transistors in de gebieden A worden gevormd. De source en drain van de PMOS-transistors ter plaatse van de gebieden C worden gevormd met behulp van het fotolakmasker waarmee ook de source en drain van de PMOS-transistors ter plaatse van de gebieden B worden gevormd. Om dit andere ontwerp te kunnen realiseren is het slechts nodig om de fotolithografische maskers, die nodig zijn voor de vervaardiging van deze fotolakmaskers, aan dit andere ontwerp aan te passen.

De in de gebieden C gevormde PMOS-transistors met de silicium gate-elekrode 16, hebben een gate-zone 29 met een zelfde dotering hebben als de in de gebieden B gevormde PMOS-transistors met de silicium-germanium gate-elekrode 17 en vertonen daarom een lagere drempelspanning. Bij de hiervoor als voorbeeld genoemde gate-zone dotering met een oppervlakteconcentratie van $3 \cdot 10^{17}$ atomen per cc, in plaats van -0,3 Volt slechts -0,1 Volt. Deze transistors zijn bijvoorbeeld geschikter om analoge signalen te versterken dan de transistors met een hogere drempelspanning.

10

17.03.2000

CONCLUSIES:

EPO - DG 1

21.03.2000

(55)

1. Halfgeleiderinrichting met een geïntegreerde CMOS-schakeling met NMOS- en PMOS-transistors met halfgeleiderzones die zijn gevormd in een siliciumsubstraat en die grenzen aan een oppervlak daarvan, welk oppervlak ter plaatse van de halfgeleiderzones die gate-zones van deze transistors vormen is voorzien van een laag gate-oxide waarop gate-

5 elektrodes zijn gevormd, waarbij de gate-elektronodes van de PMOS-transistors zijn gevormd in een laag p-type gedoteerd polykristallijn silicium en een tussen deze laag en het gate-oxide liggende laag p-type gedoteerd polykristallijn silicium-germanium ($Si_{1-x}Ge_x$; $0 < x < 1$), *met het kenmerk, dat de gate-elektronodes van de NMOS-transistors zijn gevormd in een laag n-type gedoteerd polykristallijn silicium zonder germanium.*

10

2. Halfgeleiderinrichting volgens conclusie 1, *met het kenmerk, dat de laag van p-type gedoteerd polykristallijn silicium-germaan ($Si_{1-x}Ge_x$) meer dan 30 at% germanium bevat ($x > 0,3$).*

15 3. Halfgeleiderinrichting volgens conclusie 1 of 2, *met het kenmerk, dat tussen de laag gate-oxide en de laag polykristallijn silicium-germanium een minder dan 5nm dikke laag amorf silicium is gevormd.*

20 4. Halfgeleiderinrichting volgens conclusie 2 of 3, *met het kenmerk, dat de halfgeleiderinrichting naast genoemde PMOS-transistors tevens, overigens gelijke, PMOS-transistors omvat met gate-elektronodes die zijn gevormd in een op het gate-oxide liggende laag p-type gedoteerd polykristallijn silicium zonder germanium.*

25 5. Werkwijze voor het vervaardigen van een halfgeleiderinrichting met een geïntegreerde CMOS-schakeling met NMOS- en PMOS-transistors met halfgeleiderzones die worden gevormd in een siliciumsubstraat en die grenzen aan een oppervlak daarvan, welk oppervlak wordt voorzien van een laag gateoxide waarop voor de PMOS-transistors silicium-germanium gate-elektronodes en voor de NMOS-transistors silicium gate-elektronodes zonder germanium worden gevormd,

met het kenmerk, dat

de gate-elektronodes worden gevormd door achtereenvolgens:

-- op de laag gate-oxide een laag polykristallijn silicium-germanium ($Si_{1-x}Ge_x$; $0 < x < 1$) te deponeren,

5 -- op de laag polykristallijn silicium-germanium een fotolakmasker te vormen dat de laag ter plaatse van PMOS-transistors wel en ter plaatse van NMOS-transistors niet bedekt,
-- een etsbehandeling uit te voeren waarbij de laag silicium-germanium ter plaatse van genoemde NMOS-transistors wordt verwijderd van de laag gate-oxide,
-- het fotolakmasker te verwijderen,

10 -- op de aldus gevormde structuur een laag polykristallijn silicium te deponeren en
-- ter plaatse van genoemde PMOS-transistors een gate-elekrode in de daar aanwezige laag polykristallijn silicium-germanium en de daarop liggende laag polykristallijn silicium en ter plaatse van genoemde NMOS-transistors een gate-elekrode in de daar aanwezige laag polykristallijn silicium te vormen.

15

6. Werkwijze volgens conclusie 5 *met het kenmerk, dat* op de laag gate-oxide een laag polykristallijn silicium-germaan ($Si_{1-x}Ge_x$) die meer dan 30 at% germanium bevat ($x > 0,3$) wordt gedeponeerd.

20 7. Werkwijze volgens conclusie 5 of 6 *met het kenmerk, dat* voordat de laag silicium-germanium op de laag gate-oxide wordt gedeponeerd hierop eerst een minder dan 5nm dikke laag amorf silicium wordt gevormd.

25 8. Werkwijze volgens conclusie 5, 6 of 7 *met het kenmerk, dat* voor PMOS-transistors met een silicium gate-elekrode zonder germanium, ter plaatse van deze PMOS-transistors, gate-elektronodes worden gevormd in de laag polykristallijn silicium waarin ook de gate-elektronodes van de NMOS-transistors worden gevormd.

12

17.03.2000

ABSTRACT:

EPO - DG 1

21.03.2000

(55)

Semiconductor device comprising an integrated CMOS circuit with NMOS and PMOS transistors (A,B) having semiconductor zones (23,24,29,30) formed in a silicon substrate (1). The surface (3) of the substrate is, at the locations of the gate zones (29,30), provided with a layer of gate oxide (11) on which gate-electrodes (16,17) are formed. The 5 gate electrodes (17) of the PMOS transistors (B) are formed in a layer of p-type doped polycrystalline silicon (14) and a layer of p-type doped polycrystalline silicon-germanium (13) ($\text{Si}_{1-x}\text{Ge}_x$; $0 < x < 1$) sandwiched between the silicon-germanium layer and the gate oxide. The gate-electrodes (16) of the NMOS transistors (A) are formed in a layer of n-type doped polycrystalline silicon (14) without germanium. The integrated CMOS circuit combines 10 advantages of PMOS transistors with p-type doped silicon-germanium gate electrodes and advantages of NMOS transistors with n-type silicon gate electrodes.

Figure 13

21. 03. 2000

1/4

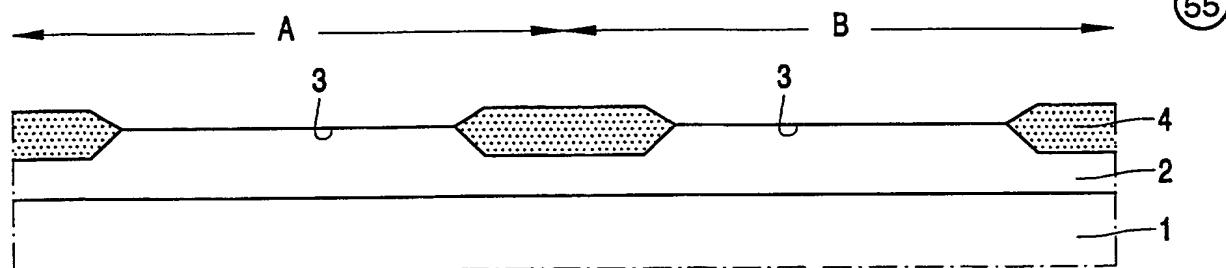


FIG. 1

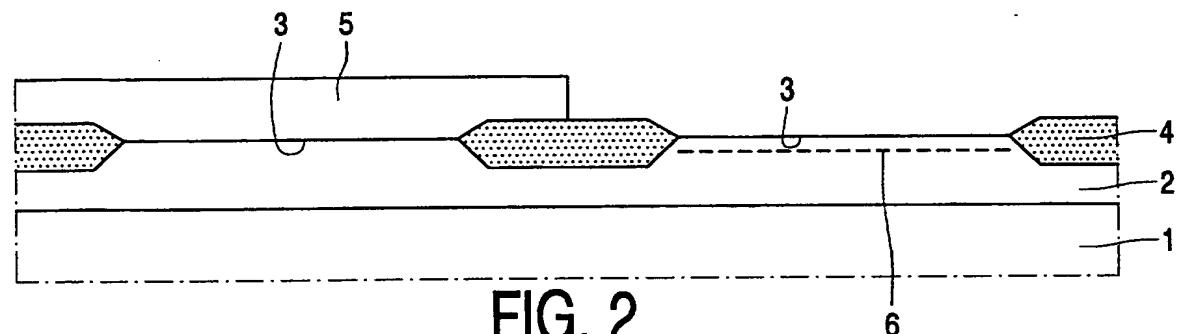


FIG. 2

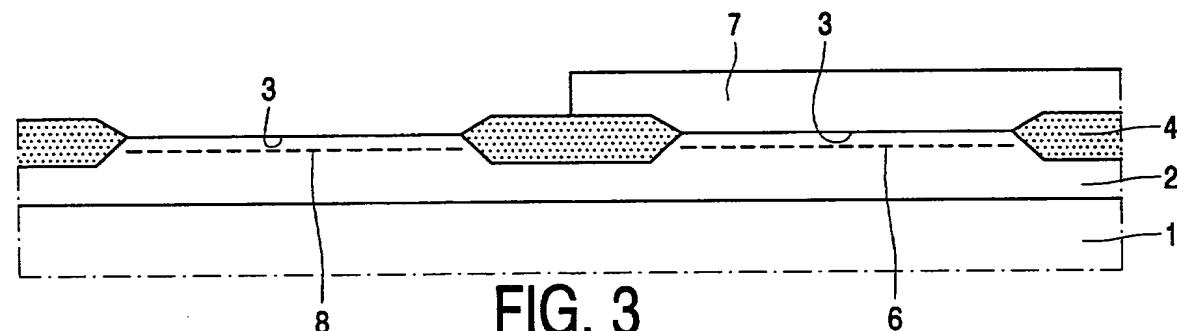


FIG. 3

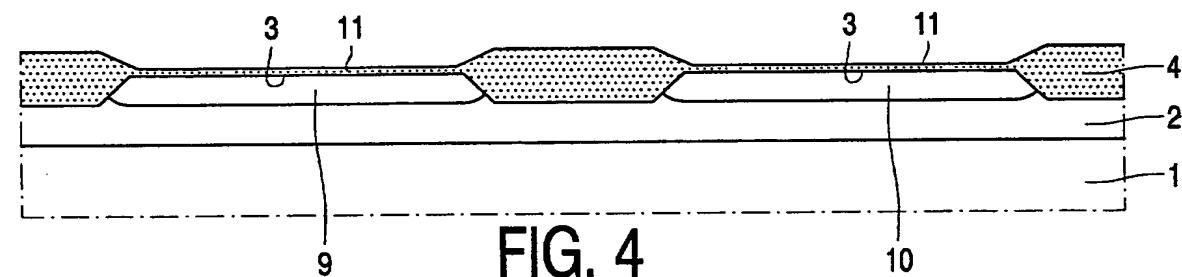


FIG. 4

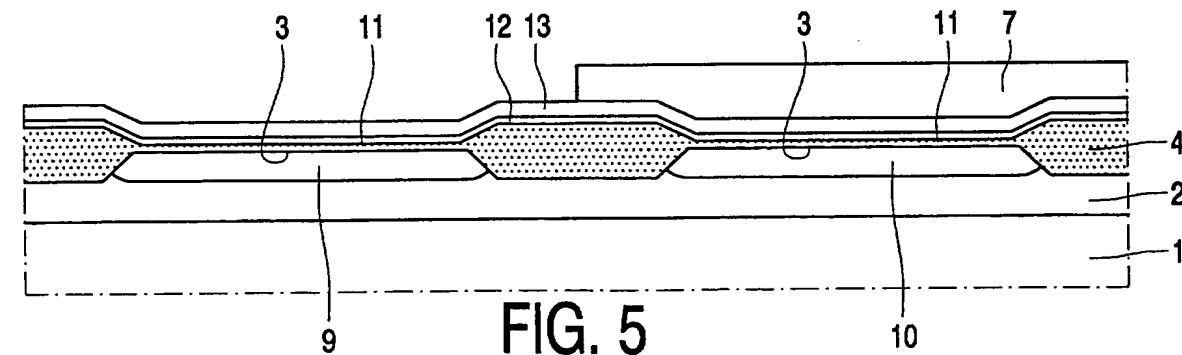
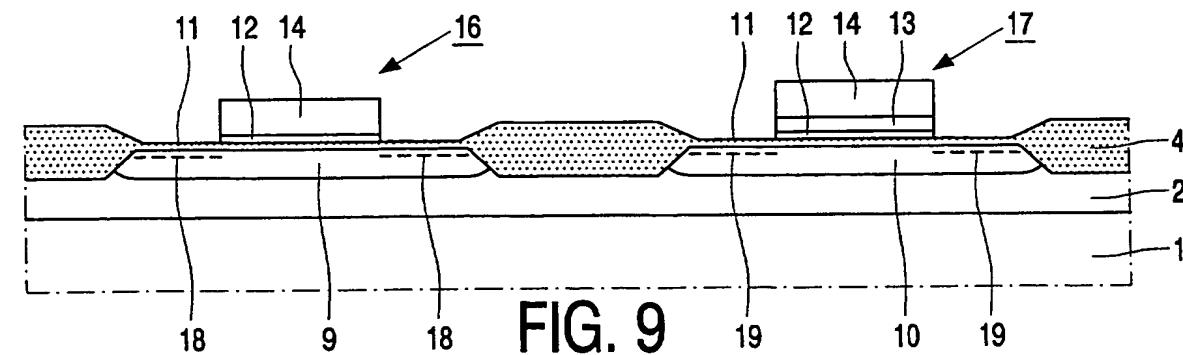
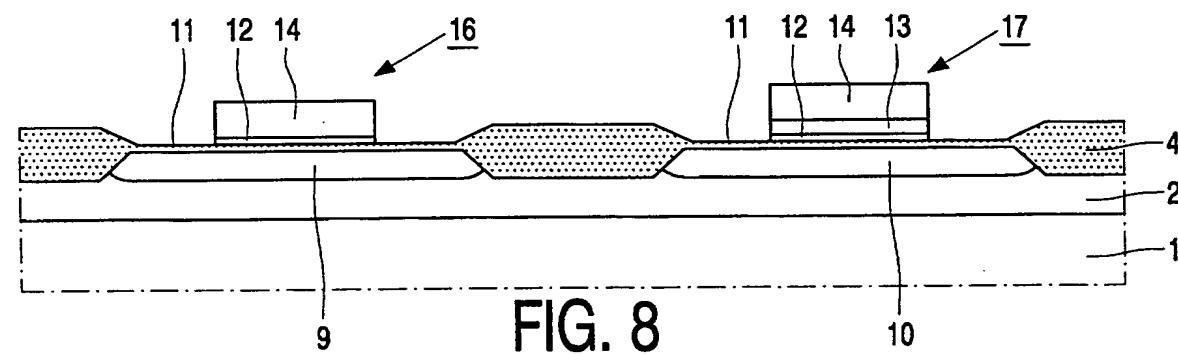
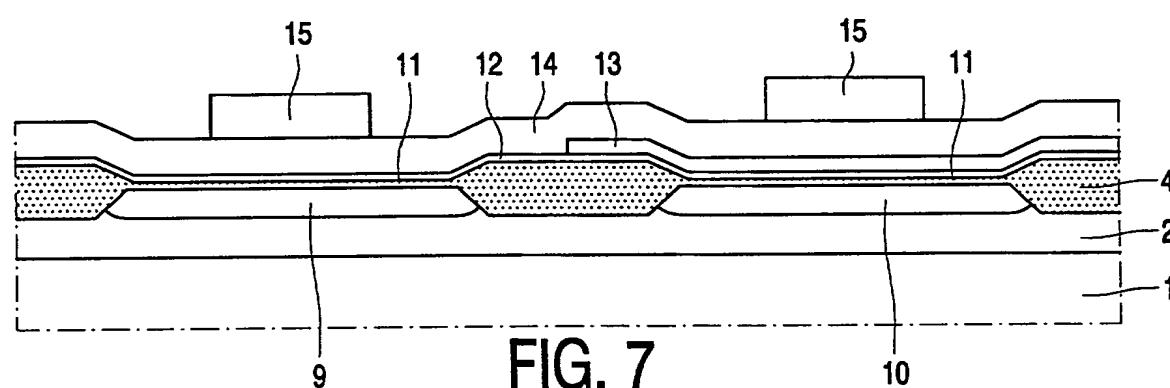
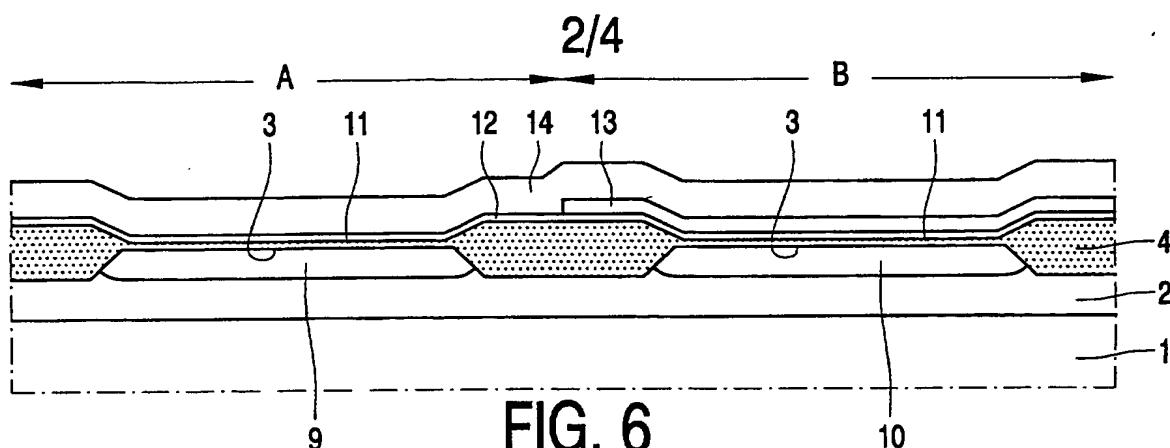


FIG. 5



4/4

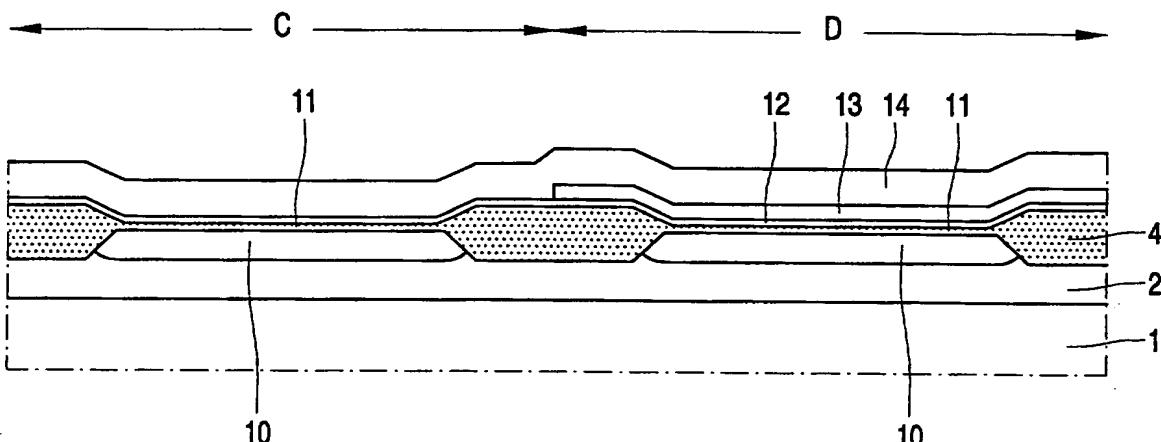


FIG. 14

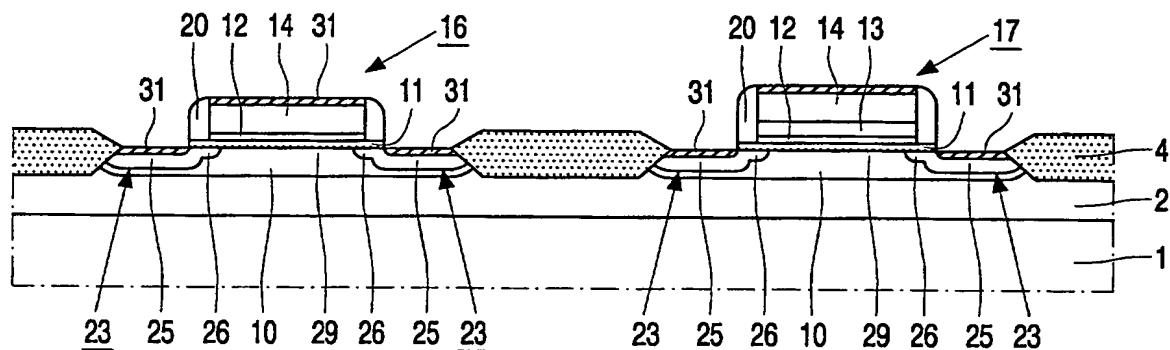


FIG. 15

3/4

